

CERTIFICATE OF MAILING

I hereby certify that this correspondence is being deposited with the United States Postal Service on the date shown below with sufficient postage as first class mail in an envelope addressed to the: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

Date: March 25, 2004

June M. Keating
June M. Keating



Patent

36856.1185

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: Kazuhiro YOSHIDA	Art Unit: 2811
Serial No.: 10/735,759	Examiner: Unknown
Filing Date: December 16, 2003	
For: SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF	

TRANSMITTAL OF PRIORITY DOCUMENTS

Commissioner for Patent
P.O. Box 1450
Alexandria, VA 22313-1450

Dear Sir:

Enclosed herewith is a certified copy of Japanese Patent Application No. **2002-367764** filed **December 19, 2002** from which priority is claimed under 35 U.S.C. 119 and Rule 55b.

Acknowledgement of the priority documents is respectfully requested to ensure that the subject information appears on the printed patent.

Respectfully submitted,



Attorneys for Applicant(s)

Joseph R. Keating
Registration No. 37,368

Christopher A. Bennett
Registration No. 46,710

KEATING & BENNETT LLP
10400 Eaton Place, Suite 312
(703) 385-5200

(●)

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2002年12月19日
Date of Application:

出願番号 特願2002-367764
Application Number:

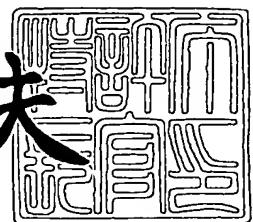
[ST. 10/C] : [JP2002-367764]

出願人 株式会社村田製作所
Applicant(s):

2004年 1月 5日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



●)
【書類名】 特許願
【整理番号】 102102
【提出日】 平成14年12月19日
【あて先】 特許庁長官殿
【国際特許分類】 H01L 21/77
H01L 27/04

【発明者】

【住所又は居所】 京都府長岡京市天神二丁目26番10号 株式会社村田
製作所内

【氏名】 吉田 和広

【特許出願人】

【識別番号】 000006231
【氏名又は名称】 株式会社村田製作所

【代表者】 村田 泰隆

【代理人】

【識別番号】 100085143
【弁理士】
【氏名又は名称】 小柴 雅昭
【電話番号】 06-6779-1498

【手数料の表示】

【予納台帳番号】 040970
【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1
【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置およびその製造方法

【特許請求の範囲】

【請求項 1】 同一半導体基板上に、ショットキー接合をゲート電極に用いかつゲートリセスが設けられた電界効果トランジスタと p-n 接合ダイオードとが構成され、

前記電界効果トランジスタの電極の少なくとも 1 つと前記ダイオードの電極の少なくとも 1 つとが、同時に形成された金属導体から構成されている、半導体装置。

【請求項 2】 前記電界効果トランジスタのソース電極およびドレイン電極と前記ダイオードのカソード電極とが、同時に形成された金属導体から構成され、かつ、前記電界効果トランジスタのゲート電極と前記ダイオードのアノード電極とが、同時に形成された金属導体から構成されている、請求項 1 に記載の半導体装置。

【請求項 3】 前記電界効果トランジスタの活性層の少なくとも一部と前記ダイオードの活性層の少なくとも一部とは、前記半導体基板上にエピタキシャル成長により同時に形成される共通の活性層によって与えられる、請求項 1 または 2 に記載の半導体装置。

【請求項 4】 前記電界効果トランジスタのコンタクト層と前記ダイオードの n 型層とが、前記半導体基板上にエピタキシャル成長により同時に形成される共通の n 型層によって与えられる、請求項 3 に記載の半導体装置。

【請求項 5】 前記半導体基板上に、前記電界効果トランジスタを構成するため、チャネル層およびその上に前記コンタクト層が積層され、前記コンタクト層の一部が前記ダイオードの n 型層を与え、前記ダイオードの n 型層の上に前記ダイオードの p 型層が積層される、請求項 4 に記載の半導体装置。

【請求項 6】 前記電界効果トランジスタの活性層と前記ダイオードの活性層とは、エッティングまたはイオン注入により互いに分離されている、請求項 3 ないし 5 のいずれかに記載の半導体装置。

【請求項 7】 同一半導体基板上に、ショットキー接合をゲート電極に用い

かつゲートリセスが設けられた電界効果トランジスタと p-n 接合ダイオードとが構成された、半導体装置を製造する方法であって、

半導体基板を用意する工程と、

前記半導体基板上に、前記電界効果トランジスタのためのチャネル層、第1のエッティングストップ層、前記電界効果トランジスタのためのコンタクト層および前記ダイオードのための n 型層を兼ねる n 型兼用層、第2のエッティングストップ層、前記ダイオードのための p 型層、ならびに第3のエッティングストップ層を、この順序で、エピタキシャル成長により形成する工程と、

前記第2のエッティングストップ層においてエッティングを止めるようにしながら、前記 p 型層および前記第3のエッティングストップ層を、前記電界効果トランジスタを構成すべき領域および前記ダイオードのカソード電極を形成すべき領域において、エッティング除去する工程と、

前記 n 型兼用層にオーム接觸するように、前記電界効果トランジスタのためのソース電極およびドレイン電極ならびに前記ダイオードのためのカソード電極を同時に形成する工程と、

前記 n 型兼用層における前記電界効果トランジスタのための前記ゲートリセスを形成すべき領域および前記第3のエッティングストップ層の少なくとも一部を露出させる開口を有するマスクを形成する工程と、

前記マスクを通してエッティングを実施し、前記第3のエッティングストップ層によって前記 p 型層がエッティングされることを防止しながら、前記第1のエッティングストップ層においてエッティングを止めるようにして、前記 n 型兼用層に前記ゲートリセスを形成する工程と、

前記マスクを通して、前記チャネル層とショットキー接合する前記電界効果トランジスタのための前記ゲート電極を形成し、これと同時に、前記 p 型層にオーム接觸する前記ダイオードのためのアノード電極を形成する工程と、

前記マスクを除去する工程と
を備える、半導体装置の製造方法。

【請求項 8】 前記 p 型層および前記第3のエッティングストップ層を、前記電界効果トランジスタを構成すべき領域および前記ダイオードのカソード電極を

形成すべき領域において、エッチング除去する工程の後、前記電界効果トランジスタを構成すべき領域と前記ダイオードを構成すべき領域とを互いに分離するため、前記チャネル層および前記n型兼用層に対して、エッチングまたはイオン注入を施す工程をさらに備える、請求項7に記載の半導体装置の製造方法。

【請求項9】 前記第3のエッチングストップ層は、前記第1および第2のエッチングストップ層の合計厚みより厚く形成される、請求項7または8に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、半導体装置およびその製造方法に関するもので、特に、同一半導体基板上に電界効果トランジスタとダイオードとが構成された、半導体装置およびその製造方法に関するものである。

【0002】

【従来の技術】

同一半導体基板上に電界効果トランジスタ（FET）とダイオードとを構成するための技術として、たとえば、特開平8-340213号公報（特許文献1）に記載されたものや特開平8-255838号公報（特許文献2）に記載されたものなどがある。

【0003】

特許文献1では、同一半導体基板上において、ショットキーダイオードのための活性層の一部をFETのための活性層と共通に形成することが記載されている。

【0004】

他方、特許文献2では、同一半導体基板上において、PINダイオードとFETとHBTとを構成することが記載されている。ここでは、PINダイオードとFETとHBTとについて、それぞれ別に活性層を形成する方法が採用されている。

【0005】

【特許文献1】

特開平8-340213号公報

【特許文献2】

特開平8-255838号公報

【0006】**【発明が解決しようとする課題】**

特許文献1によれば、ショットキーダイオードにおけるアノード電極のコンタクト層とFETにおけるドレインおよびソース電極のコンタクト層との共通化が図られるが、このようなコンタクト層を共通化するのみでは、活性層の成長工程について1層分しか省略することができず、そのため、工程の短縮効果およびコストダウン効果は未だ十分でない。また、特許文献1では、そこに開示される半導体装置の製造方法について明らかにされていないが、その製造方法において必要とされるであろうエッティング工程でのエッティング度合いのばらつきによって、ダイオードおよびFETの各特性についてのばらつきが大きくなることが予想される。

【0007】

他方、特許文献2に記載の技術では、ダイオード、FETおよびHBTの各々のための活性層を、それぞれ、選択成長により形成するため、工程の短縮およびコストダウンについては十分とは言えない。

【0008】

ところで、FETのための活性層とダイオードのための活性層を一部共通化するだけでなく、製造工程数の削減のためには、FETのための電極（ゲート電極、ドレイン電極およびソース電極）の少なくとも1つとダイオードのための電極（アノード電極およびカソード電極）の少なくとも1つと、できれば同時に形成したいという要求がある。

【0009】

なお、ショットキー接合をゲート電極に用いたFETとショットキー接合を有するダイオードとを、同一半導体基板上に構成する場合には、共通の活性層を備えていることから、上述のような要望を比較的容易に満たすことができる。

【0010】

これに対して、同一半導体基板上に、ショットキー接合をゲート電極に用い、しかもゲートリセスが設けられたFETと、pn接合ダイオードとを構成する場合には、上述の場合に比べて、FETのための電極とダイオードのための電極とを同時に形成することは、以下の理由により、それほど容易ではない。

【0011】

すなわち、FETにおけるコンタクト層上に形成されるドレイン電極およびソース電極を形成するに際して、コンタクト層と同じn型層上に形成されるダイオードのためのカソード電極を同時に形成することは、これら電極がともにn型層に対してオームニック電極であるため、同じ金属を用いて容易に実現化することができるが、ショットキー電極であるゲート電極やダイオードのためのp型層上に形成されるオームニック電極であるアノード電極については、ドレイン電極などとは金属の種類が異なるため、別工程で形成する必要がある。

【0012】

なお、ゲート電極とドレイン電極およびソース電極とを同時に形成することは必ずしも不可能ではないが、特殊な工程が必要であり、コストダウンを進める上で、あまり現実的ではない。また、アノード電極とカソード電極とは、機能的にはオームニック電極である点で共通するが、これら電極を形成すべき半導体層がそれぞれp型層とn型層というように種類が異なるために電極材料を異ならせる必要があり、そのため、これらを同時に形成することはできない。

【0013】

このような状況の下、せめて、ゲート電極とアノード電極とを同時に形成したいという要望が生じる。しかしながら、ゲート電極を形成するときには、ゲートリセス形成のためのマスクを形成して、リセスエッチングを行なって、さらに、そのマスクをそのまま利用して、ゲート電極を蒸着などによって形成するという工程を採用することが通常である。

【0014】

このように、ゲートリセス形成のためのエッチング工程とゲート電極形成のための蒸着などの工程において、同じマスクを用いなければならないのは、同じマ

スクを用いることにより、ゲートリセスを形成したときの位置精度を維持しながら、ゲート電極を形成することが可能であるためであり、別のマスクを用いたり、一旦、マスクを外して再び配置したりすると、ゲート電極を高い位置精度で形成できなくなる。

【0015】

上述のように、同じマスクを用いて、ゲートリセスの形成およびゲート電極の形成を行ないながら、ゲート電極の形成と同時にアノード電極を形成しようとすると、マスクには、アノード電極を形成すべき位置、すなわちp型層を露出させる位置に、開口を形成しておく必要がある。しかしながら、このように、p型層を露出させる開口がマスクに形成されると、ゲートリセス形成のためのエッチング工程において、p型層までもがエッチングされてしまい、ダイオードを、所望の特性をもって形成することが困難になるという問題に遭遇する。

【0016】

そこで、この発明の目的は、上述のような問題を解決し得る半導体装置の製造方法およびこの製造方法によって有利に製造されることができる半導体装置を提供しようとするることである。

【0017】

【課題を解決するための手段】

この発明によれば、まず、次のような新規な構造を有する半導体装置が提供される。

【0018】

すなわち、同一半導体基板上に、ショットキー接合をゲート電極に用いかつゲートリセスが設けられた電界効果トランジスタとp-n接合ダイオードとが構成され、電界効果トランジスタの電極の少なくとも1つとダイオードの電極の少なくとも1つが、同時に形成された金属導体から構成されている、半導体装置が提供される。

【0019】

上述した半導体装置において、電界効果トランジスタのソース電極およびドレン電極とダイオードのカソード電極とが、同時に形成された金属導体から構成

され、かつ、電界効果トランジスタのゲート電極とダイオードのアノード電極とが、同時に形成された金属導体から構成されていることが好ましい。

【0020】

また、電界効果トランジスタの活性層の少なくとも一部とダイオードの活性層の少なくとも一部とが、半導体基板上にエピタキシャル成長により同時に形成される共通の活性層によって与えられることが好ましい。上述の場合、好ましくは、電界効果トランジスタのコンタクト層とダイオードのn型層とが、半導体基板上にエピタキシャル成長により同時に形成される共通のn型層によって与えられ、さらに好ましくは、半導体基板上に、電界効果トランジスタを構成するため、チャネル層およびその上にコンタクト層が積層され、コンタクト層の一部がダイオードのn型層を与え、ダイオードのn型層の上にダイオードのp型層が積層される。

【0021】

上述のように、電界効果トランジスタの活性層の少なくとも一部とダイオードの活性層の少なくとも一部とが共通の活性層によって与えられる場合、好ましくは、電界効果トランジスタの活性層とダイオードの活性層とは、エッチングまたはイオン注入により互いに分離される。

【0022】

この発明は、また、同一半導体基板上に、ショットキー接合をゲート電極に用いかつゲートリセスが設けられた電界効果トランジスタとpn接合ダイオードとが構成され、さらに上述のような構造を有する、半導体装置を有利に製造し得る方法にも向けられる。

【0023】

この発明に係る半導体装置の製造方法は、まず、半導体基板を用意する工程を備え、この半導体基板上には、電界効果トランジスタのためのチャネル層、第1のエッチングストップ層、電界効果トランジスタのためのコンタクト層およびダイオードのためのn型層を兼ねるn型兼用層、第2のエッチングストップ層、ダイオードのためのp型層、ならびに第3のエッチングストップ層が、この順序で、エピタキシャル成長により形成される。

【0024】

次いで、第2のエッティングストップ層においてエッティングを止めるようにしながら、p型層および第3のエッティングストップ層を、電界効果トランジスタを構成すべき領域およびダイオードのカソード電極を形成すべき領域において、エッティング除去する工程が実施される。すなわち、ダイオードのp型層になる部分を残すように、エッティング除去される。

【0025】

次に、n型兼用層にオーム接觸するように、電界効果トランジスタのためのソース電極およびドレイン電極ならびにダイオードのためのカソード電極を同時に形成する工程が実施される。

【0026】

次に、n型兼用層における電界効果トランジスタのためのゲートリセスを形成すべき領域および第3のエッティングストップ層の少なくとも一部を露出させる開口を有するマスクを形成する工程が実施される。

【0027】

次に、上述のマスクを通してエッティングを実施し、第3のエッティングストップ層によってp型層がエッティングされることを防止しながら、第1のエッティングストップ層においてエッティングを止めるようにして、n型兼用層にゲートリセスを形成する工程が実施される。

【0028】

次いで、同じマスクを通して、チャネル層とショットキー接合する電界効果トランジスタのためのゲート電極を形成し、これと同時に、p型層にオーム接觸するダイオードのためのアノード電極を形成する工程が実施され、その後、マスクが除去される。

【0029】

この発明に係る半導体装置の製造方法において、p型層および第3のエッティングストップ層を、電界効果トランジスタを構成すべき領域およびダイオードのカソード電極を形成すべき領域において、エッティング除去する工程の後、電界効果トランジスタを構成すべき領域とダイオードを構成すべき領域とを互いに分離す

るため、チャネル層およびn型兼用層に対して、エッティングまたはイオン注入を施すことが好ましい。

【0030】

また、第3のエッティングストップ層は、第1および第2のエッティングストップ層の合計厚みより厚く形成されることが好ましい。

【0031】

【発明の実施の形態】

図1ないし図8は、この発明の一実施形態を説明するためのもので、図8に完成品としての半導体装置1が示され、図1ないし図7は、この半導体装置1を製造するために実施される典型的な工程を順次示している。なお、図1ないし図8には、1個の半導体装置1を製造するための工程が図示されているが、実際には、比較的広い面積を有する半導体ウエハ上で複数個の半導体装置1が製造される。また、図1ないし図8に示した断面図は、どちらかといえば、厚み方向寸法が誇張されて図示され、また、図示された各要素の寸法関係については、各要素をより明確に図示することを優先したため、必ずしも正確ではないことを指摘しておく。

【0032】

図1を参照して、まず、半導体基板2が用意される。半導体基板2は、たとえばGaNから構成される。

【0033】

次に、半導体基板2上に、たとえばMBEまたはMOCVDなどの方法を適用して、電界効果トランジスタ(FET)およびダイオードのための活性層が、以下のように、エピタキシャル成長により形成される。

【0034】

まず、FETのためのチャネル層3が形成される。チャネル層3は、たとえばn型GaNから構成される。

【0035】

次に、チャネル層3上に、第1のエッティングストップ層4が形成される、このエッティングストップ層4は、たとえばAlGaNから構成される。

【0036】

次に、第1のエッティングストッパ層4上に、FETのためのコンタクト層およびダイオードのためのn型層を兼ねるn型兼用層5が形成される。n型兼用層5は、たとえばn型GaAsから構成される。n型兼用層5は、コンタクト抵抗を十分低くすることができる厚さおよび不純物濃度に設定される。通常、n型兼用層5の厚さは10～100nmであり、n型不純物濃度は、1E18～1E19／cm³の範囲の任意の値に設定される。

【0037】

次に、n型兼用層5上に、第2のエッティングストッパ層6が形成される。このエッティングストッパ層6も、前述した第1のエッティングストッパ層4と同様、たとえばAlGaAsから構成される。

【0038】

次に、第2のエッティングストッパ層6上に、ダイオードのためのp型層7が形成される。このp型層7は、たとえばp型GaAsから構成される。p型層7の厚さおよび不純物濃度は、構成しようとするダイオードの機能に応じて設定される。たとえば、ダイオードがツェナーダイオードを実現する場合には、厚さ10～100nmで、p型不純物濃度が5E17～1E19／cm³の範囲の任意の値に設定される。ダイオードがバラクターダイオードを実現する場合には、厚さ10～100nmで、p型不純物濃度が1E17～1E18／cm³程度の範囲で深さ方向に傾斜を付けながら任意の値に設定される。

【0039】

次に、p型層7上に、第3のエッティングストッパ層8が形成される。このエッティングストッパ層も、前述した第1および第2のエッティングストッパ層4および6と同様、たとえばAlGaAsから構成される。

【0040】

第1、第2および第3のエッティングストッパ層4、6および8の各々の厚さは、後述するエッティング工程での選択比によって決定されるものであるが、通常、3～20nmに選ばれる。なお、第3のエッティングストッパ層8にあっては、後述する工程からわかるように、第1および第2のエッティングストッパ層4および

6の合計厚みより厚いことが好ましく、一例として、第1および第2のエッティングストップ層4および6の各々の厚さの約3倍程度の厚さに設定される。

【0041】

また、第2のエッティングストップ層6は、p型、n型およびi型のいずれでもよく、このような型によって、ダイオードのp-n接合位置が変わる。第2のエッティングストップ層6がp型の場合には、第2のエッティングストップ層6とn型兼用層5との界面がダイオードのp-n接合面となり、第2のエッティングストップ層6がn型の場合には、第2のエッティングストップ層6とp型層7との界面がダイオードのp-n接合面となり、第2のエッティングストップ層6がi型の場合には、第2のエッティングストップ層6の厚み方向中央部がダイオードのp-n接合面となる。

【0042】

エッティングストップ層4、6および8の各々のキャリア濃度については、FETやダイオードの機能を損なわないように選ばれる。

【0043】

次に、図2に示すように、p型層7におけるダイオードの活性層となるべき部分を覆うように、フォトリソグラフィ技術によって、マスク9が形成される。

【0044】

次いで、同じく図2に示すように、マスク9を通してエッティングが実施され、それによって、p型層7および第3のエッティングストップ層8が、FETを構成すべき領域およびダイオードのカソード電極を形成すべき領域において、除去される。このエッティングは、第2のエッティングストップ層6において止められる。このエッティング工程の結果、ダイオードのp型層7になる部分が残される。

【0045】

このエッティングは、ドライエッティングであっても、ウェットエッティングであってもよい。ウェットエッティングを行なう場合には、エッティング液として、たとえば、リン酸、過酸化水素および水を含むもの、またはクエン酸、過酸化水素水および水を含むものを有利に用いることができ、このようにエッティング液を適切に使い分けたとき、AlGaAsからなる第2のエッティングストップ層6において

エッチングを容易に止めることができる。

【0046】

また、図示しないが、このエッチングによって、後のフォトリソグラフィ工程で使用するアライメントマークを同時に形成することが好ましい。

【0047】

上述のエッチングが完了した後、有機溶剤や酸素プラズマを用いて、マスク9が除去される。

【0048】

次に、図3に示すように、FETを構成すべき領域とダイオードを構成すべき領域とを互いに分離するため、チャネル層3およびn型兼用層5に対して、イオン注入が施され、それによって、イオン注入領域10が形成される。この実施形態では、イオン注入領域10は、半導体基板2にまで届くように形成される。

【0049】

より詳細には、FETおよびダイオードの各々の活性層となるべき部分を覆うように、フォトリソグラフィ技術を用いて、マスク11が形成され、このマスク11を通して、FETやダイオードの活性層となるべき部分以外の部分にイオン注入が施され、イオン注入領域10が形成される。イオン注入領域10は、高抵抗の領域になり、それによって、FETを構成すべき領域とダイオードを構成すべき領域との分離が図られる。

【0050】

上述のイオン注入にあたっては、たとえば酸素イオンが用いられ、この酸素イオンのエネルギーは、チャネル層3およびn型兼用層5の厚さに応じて設定される。なお、この実施形態では、イオン注入領域10は、FETを構成すべき領域とダイオードを構成すべき領域との間の分離だけでなく、図示しない隣り合うFETを構成すべき領域およびダイオードを構成すべき領域との間での分離をも達成するようにされる。

【0051】

上述のように、イオン注入工程を終えた後、有機溶剤や酸素プラズマを用いて、マスク11が除去される。

【0052】

次に、図4に示すように、n型兼用層5にオーミック接触するように、FETのためのソース電極12およびドレイン電極13ならびにダイオードのためのカソード電極14が同時に形成される。これら電極12～14は、通常、リフトオフ法により形成される。

【0053】

より詳細には、まず、図示しないが、フォトリソグラフィ技術を用いて、マスクが形成され、このマスクを通して、n型兼用層5を構成するたとえばn型GaAsとオーミック接触する金属が蒸着される。その後、有機溶剤により、マスクを、その上に形成された不要な金属とともに剥離される。このようなマスクの剥離の結果、n型兼用層5上に残された金属導体によって、ソース電極12、ドレイン電極13およびカソード電極14が与えられる。

【0054】

上述の蒸着工程において蒸着される金属としては、n型兼用層5を構成するたとえばn型GaAsに対してオーミック接触し得るように、たとえばAu—Ge混晶またはInなどが用いられ、一例として、Au—Ge/Ni/Auのような金属の積層構造が採用される。また、より良好なオーミック接触を得るため、400°C程度の温度でアロイ（合金化）処理が施される。

【0055】

次に、図5に示すように、n型兼用層5におけるFETのためのゲートリセス15（図6参照）および第3のエッティングストップ層8の少なくとも一部をそれぞれ露出させる開口16および17を有するマスク18が、フォトリソグラフィ技術を用いて形成される。

【0056】

次に、図6に示すように、マスク18の開口16を通してエッティングが実施され、n型兼用層5に、FETの特性を調整するためのゲートリセス15が形成される。このエッティングは、ドライエッティングであっても、ウエットエッティングであってもよい。ウエットエッティングを実施する場合には、エッティング液としては、たとえば、リン酸、過酸化水素水および水を含むもの、あるいはクエン酸、過

酸化水素水および水を含むものを用いることができる。このエッティングは、第1のエッティングストップ層4において、これを容易に止めることができる。

【0057】

他方、マスク18の開口17においても、エッティングが生じる。しかしながら、第3のエッティングストップ層8の存在により、p型層7がエッティングされることは防止される。このような第3のエッティングストップ層8の機能を考慮したとき、第3のエッティングストップ層8は、第1および第2のエッティングストップ層4および6の合計厚みより厚く形成されることが好ましい。

【0058】

すなわち、このようなゲートリセス18を形成するためのエッティングにおいては、まず、n型兼用層5上の第2のエッティングストップ層6がエッティングされ、これと同時に、p型層7上の第3のエッティングストップ層8においても、同じ厚みだけエッティングされる。次に、n型兼用層5がエッティングされるときには、第3のエッティングストップ層8はほとんどエッティングされない。そして、n型兼用層5に対するエッティングを終えた時点で、このエッティングは終了するが、このエッティングの終了段階には、n型兼用層5の下の第1のエッティングストップ層4についても、多かれ少なかれ、エッティングされ、このエッティングされた分に応じて、第3のエッティングストップ層8もエッティングされる。したがって、以上のようにしてエッティングが完了した時点においても、p型層7上の第3のエッティングストップ層8が残っているようにするために、第3のエッティングストップ層8の厚みは、第1および第2のエッティングストップ層4および6の合計厚みより厚くされる必要がある。このようなことから、前述したように、第3のエッティングストップ層8は、第1および第2のエッティングストップ層4および6の合計厚みより厚くされることが好ましい。

【0059】

次に、図7に示すように、同じマスク18を通して、チャネル層3とショットキー接合するFETのためのゲート電極19が形成され、これと同時に、p型層7にオーム接觸するダイオードのためのアノード電極20が形成される。

【0060】

これらゲート電極19およびアノード電極20は、通常、リフトオフ法によつて形成される。すなわち、マスク18を通して、金属が蒸着され、その後、有機溶剤によって、マスク18を、その上に形成された金属とともに剥離される。その結果、残された金属導体が、ゲート電極19およびアノード電極20の各々を与える。

【0061】

上述のゲート電極19およびアノード電極20を構成するために用いられる金属は、チャネル層3を構成するたとえばn型GaAsとショットキー接合し、かつp型層7を構成するたとえばp型GaAsとオーミック接触するものであり、このような金属として、たとえば、Ti、Pt、Pd、W、WSiまたはCr等が用いられる。一例として、ゲート電極19およびアノード電極20の各々には、Ti/Pt/Auの金属の積層構造が採用される。また、アノード電極20とp型層7との間でより良好なオーミック接触を実現するため、300°C程度の温度でアロイ（合金化）処理が施される。

【0062】

以上の段階で、図7に示すように、半導体基板2上において、FET21およびダイオード22がそれぞれ構成される。

【0063】

次に、図8に示すように、たとえばSiNからなる保護絶縁膜23が形成され、次いで、回路を構成するための金属配線層24が形成されることによって、たとえばMMICのような半導体装置1が完成される。

【0064】

このように、上述したような製造方法を適用すれば、結晶成長時に、通常のFET用の成長工程に加えて、ダイオードのためのp型層7の形成工程を追加するだけで、ダイオードの機能を追加することができる。このように、結晶成長時に、単に1層の形成工程を追加するだけでよいので、実質的なコストアップをほとんど招かず、ダイオードの機能を付加することができる。

【0065】

また、ダイオードのためのp型層を得るためのエッチングを正確に制御できる

ため、ダイオードが付加されていない場合と同様に特性上のはらつきを抑えることができる。

【0066】

図9および図10は、この発明の他の実施形態を説明するためのもので、図9は、前述した図3に対応し、図10は、図8に対応している。図9および図10において、図3および図8に示した要素に相当する要素には同様の参照符号を付し、重複する説明は省略する。

【0067】

この実施形態は、FETを構成すべき領域とダイオードを構成すべき領域とを互いに分離するため、エッチングが施されることを特徴としている。

【0068】

前述した実施形態の場合と同様、図1および図2に示した各工程が実施された後、図9に示すように、FETやダイオードの活性層となるべき部分を覆うように、フォトリソグラフィ技術を用いて、マスク31が形成される。

【0069】

次いで、マスク31を通して、ドライエッチングまたはウェットエッチングを実施することにより、FETやダイオードの活性層となるべき部分以外の部分において、チャネル層3およびn型兼用層5が除去される。このように、エッチングによる除去の結果、エッチング領域32が形成され、このエッチング領域32によって、FETを構成すべき領域とダイオードを構成すべき領域とが互いに分離される。

【0070】

その後、マスク31が除去され、次いで、前述した実施形態における図4、図5、図6および図7に示した各工程と実質的に同様の工程が実施される。そして、図10に示すように、エッチング領域32を埋めるように、保護絶縁膜23が形成され、次いで、金属配線層24が形成されることによって、半導体装置1aが完成される。

【0071】

このような図9および図10に示した実施形態における他の構成や効果に

については、前述の図1ないし図8を参照して説明した実施形態の場合と同様である。

【0072】

以上の図示した実施形態では、シングルリセス型FETを示したが、n型兼用層5とチャネル層3との間に、低抵抗層を挿入して、多段リセス型のFETを構成する場合であっても、図示した実施形態の場合と同様の効果を奏することができる。

【0073】

【発明の効果】

以上のように、この発明に係る半導体装置の製造方法によれば、同一半導体基板上に、ショットキー接合をゲート電極に用いかつゲートリセスが設けられたFETとpn接合ダイオードとが構成された、半導体装置を製造することができるが、この場合において、以下のように、FETを構成するために必要な工程数をそれほど増加させることなく、ダイオードも構成することができる。

【0074】

すなわち、まず、半導体基板上にエピタキシャル成長により形成されるものとしては、FETのためのチャネル層、第1のエッチングストップ層、FETのためのコンタクト層およびダイオードのためのn型層を兼ねるn型兼用層、第2のエッチングストップ層、ダイオードのためのp型層、ならびに第3のエッチングストップ層であるが、これらのうち、FETを構成する場合に比べて追加されるのは、p型層および第3のエッチングストップ層のみにすぎない。この点において、実質的なコストアップはほとんど招かない。

【0075】

また、第2のエッチングストップ層においてエッチングを止めるようにながら、p型層および第3のエッチングストップ層を、FETを構成すべき領域において、エッチング除去した後、n型兼用層にオーム接觸するように、FETのためのソース電極およびドレイン電極ならびにダイオードのためのカソード電極が同時に形成されるので、ダイオードのためのカソード電極を形成するための特別な工程が不要である。

【0076】

また、ゲートリセスを形成するために形成されるマスクをゲート電極を形成する際にも用いるようにしながら、このマスクに、さらに、ダイオードのためのアノード電極を形成するための機能をも持たせているので、ゲート電極とアノード電極とを同時に形成することができる。この場合において、ゲートリセスの形成のためのエッチングにおいて、p型層が不所望にもエッチングされることは、第3のエッチングストップ層によって有利に防止される。

【0077】

このようなことから、FETを構成する場合に比べて、実質的な工程数の増加を招かずに、ダイオードを、同一半導体基板上に構成することができる。

【0078】

この発明に係る半導体装置の製造方法において、第3のエッチングストップ層の厚みを、第1および第2のエッチングストップ層の合計厚みより厚くすると、前述したようなゲートリセスを形成するためのエッチング工程で、p型層が不所望にもエッチングされることをより確実に防止することができる。

【0079】

この発明に係る半導体装置の製造方法を用いると、以下のような新規な構造を有する半導体装置を有利に製造することができる。

【0080】

すなわち、同一半導体基板上に、ショットキー接合をゲート電極に用いかつゲートリセスが設けられたFETとpn接合ダイオードとが構成され、FETの電極の少なくとも1つとダイオードの電極の少なくとも1つとが、同時に形成された金属導体から構成されている、半導体装置である。

【0081】

より特定的には、FETのソース電極およびドレイン電極とダイオードのカソード電極とが、同時に形成された金属導体から構成され、かつ、FETのゲート電極とダイオードのアノード電極とが、同時に形成された金属導体から構成されている、半導体装置である。

【0082】

また、FETの活性層の少なくとも一部とダイオードの活性層の少なくとも一部とが、半導体基板上にエピタキシャル成長により同時に形成される共通の活性層によって与えられる、半導体装置を製造することができる。

【0083】

より特定的には、FETのコンタクト層とダイオードのn型層とが、共通のn型層すなわちn型兼用層によって与えられることができ、さらに特定的には、半導体基板上に、FETを構成するため、チャネル層およびその上にコンタクト層が積層され、このコンタクト層の一部がダイオードのn型層を与え、ダイオードのn型層の上にダイオードのp型層が積層された構造を得ることができる。

【図面の簡単な説明】

【図1】

この発明の一実施形態による半導体装置の製造方法に備える第1の工程によって得られた構造物を図解的に示す断面図である。

【図2】

図1に示した第1の工程の後に実施される第2の工程により得られた構造物を図解的に示す断面図である。

【図3】

図2に示した第2の工程の後に実施される第3の工程により得られた構造物を図解的に示す断面図である。

【図4】

図3に示した第3の工程の後に実施される第4の工程により得られた構造物を図解的に示す断面図である。

【図5】

図4に示した第4の工程の後に実施される第5の工程により得られた構造物を図解的に示す断面図である。

【図6】

図5に示した第4の工程の後に実施される第6の工程により得られた構造物を図解的に示す断面図である。

【図7】

図6に示した第6の工程の後に実施される第7の工程により得られた構造物を図解的に示す断面図である。

【図8】

図7に示した第7の工程の後に実施される第8の工程により得られた構造物を図解的に示す断面図であり、得られた半導体装置1を示している。

【図9】

この発明の他の実施形態による半導体装置の製造方法を説明するためのもので、図3に示した工程に対応する工程により得られた構造物を図解的に示す断面図である。

【図10】

図9に示した実施形態において、図8に示した工程に対応する工程により得られた構造物すなわち半導体装置1aを図解的に示す断面図である。

【符号の説明】

- 1, 1a 半導体装置
- 2 半導体基板
- 3 チャネル層
- 4 第1のエッティングストッパ層
- 5 n型兼用層
- 6 第2のエッティングストッパ層
- 7 p型層
- 8 第3のエッティングストッパ層
- 10 イオン注入領域
- 12 ソース電極
- 13 ドレイン電極
- 14 カソード電極
- 15 ゲートリセス
- 16, 17 開口
- 18 マスク
- 19 ゲート電極

20 アノード電極

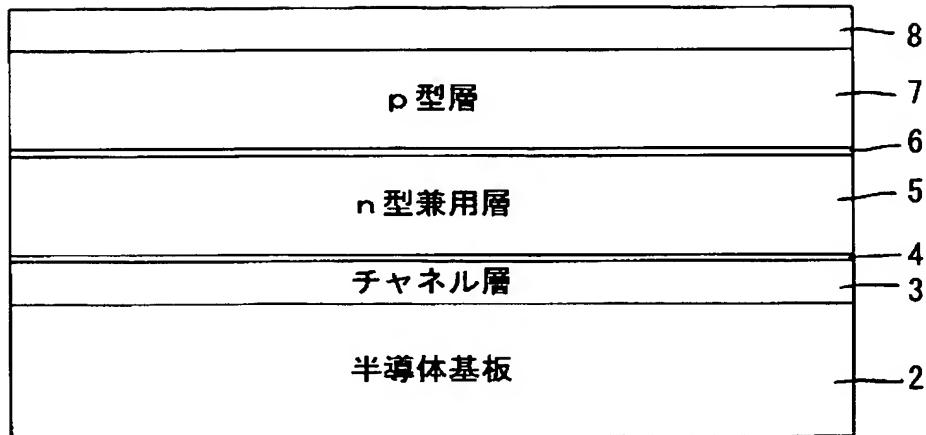
21 FET

22 ダイオード

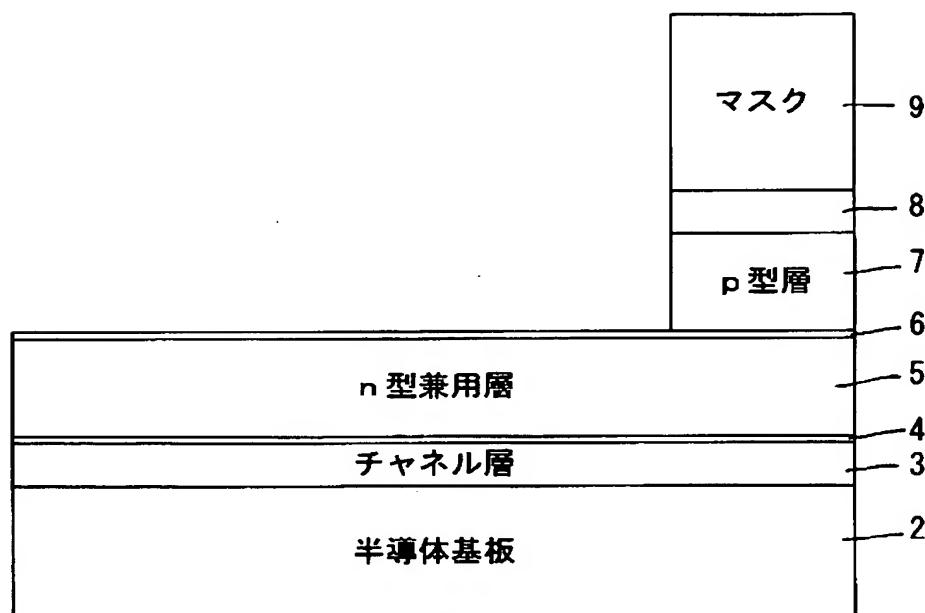
32 エッチング領域

【書類名】 図面

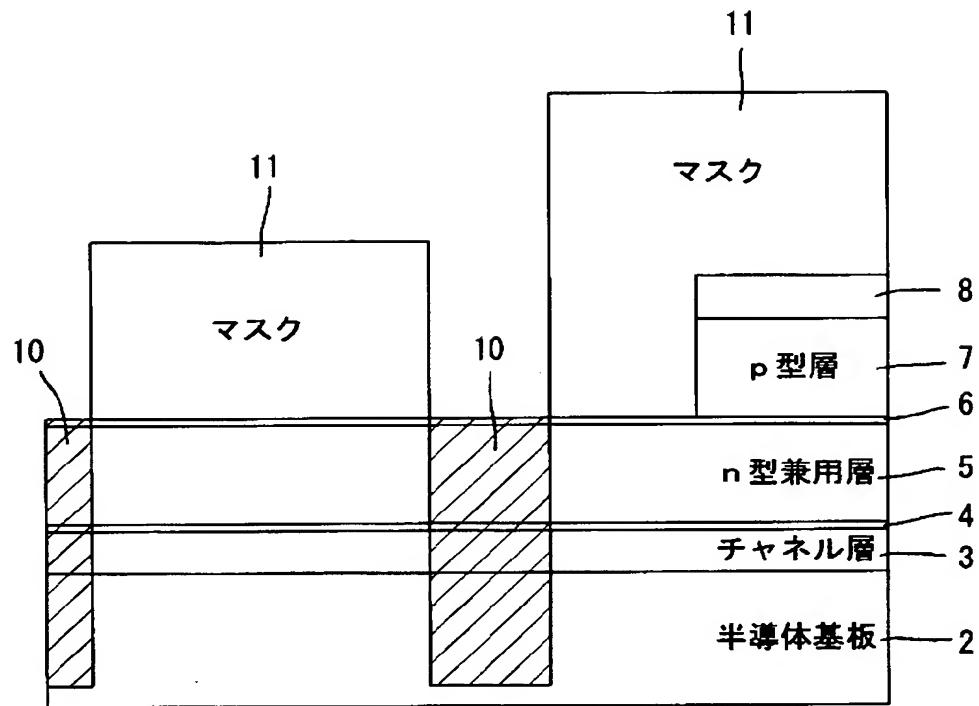
【図1】



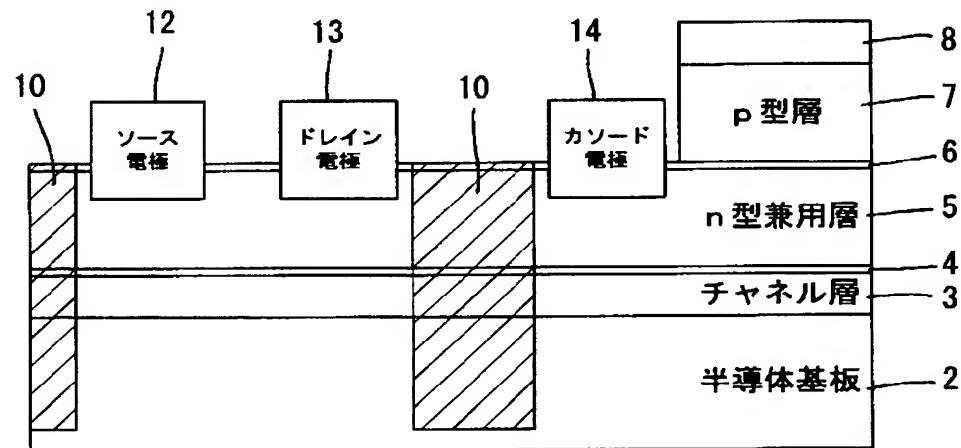
【図2】



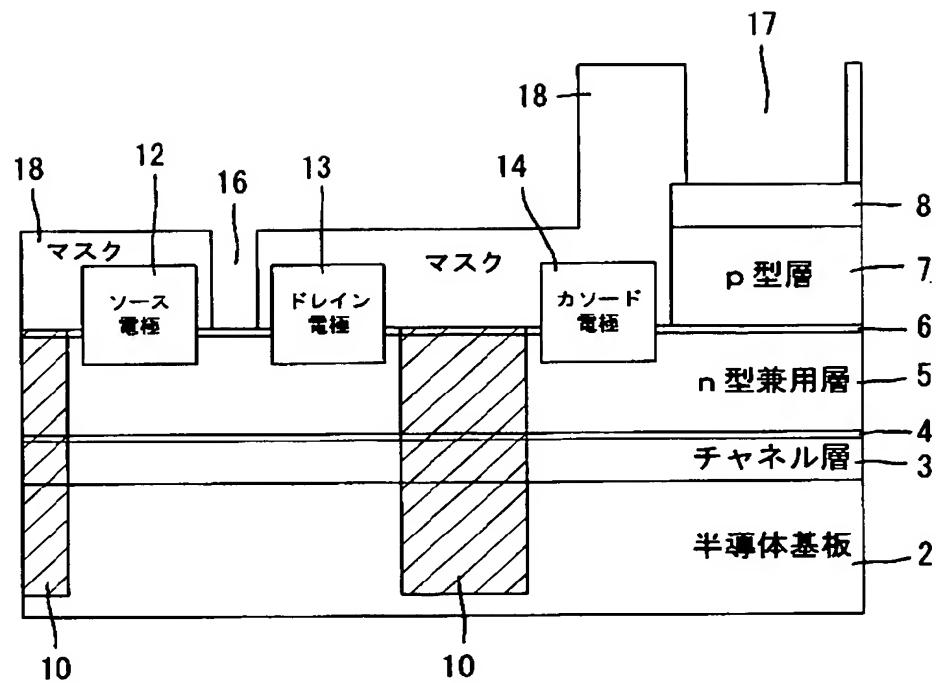
【図3】



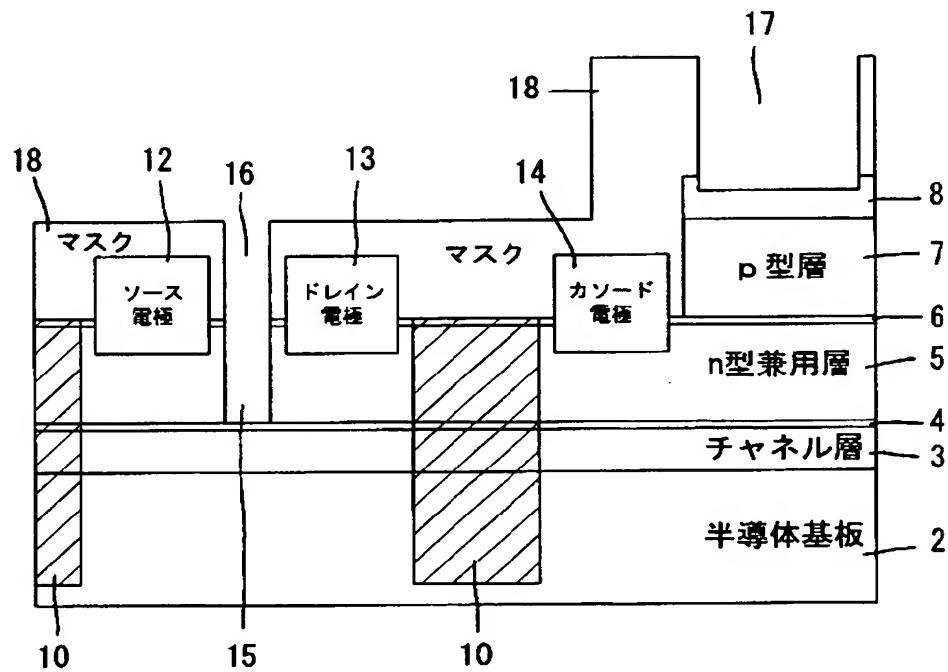
【図4】



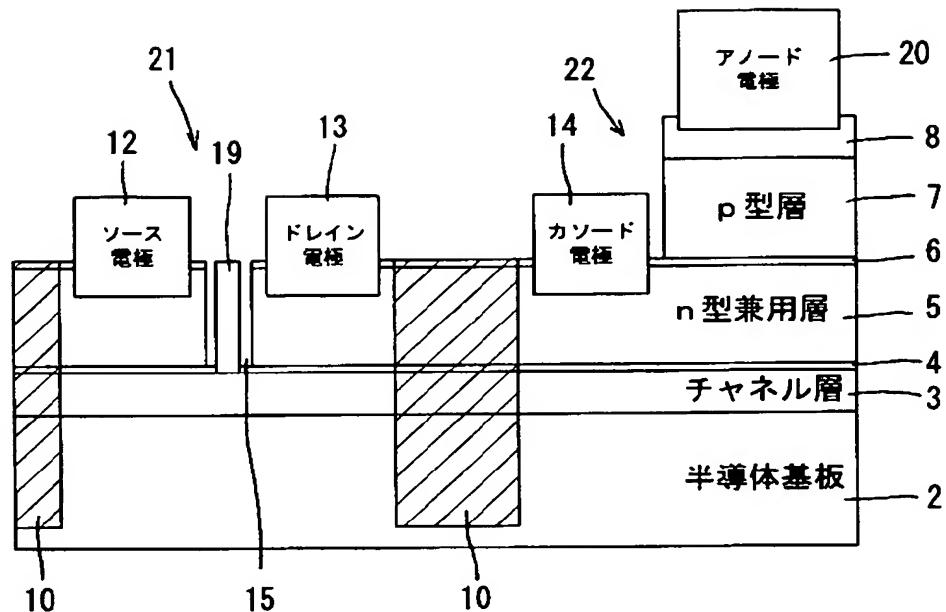
【図 5】



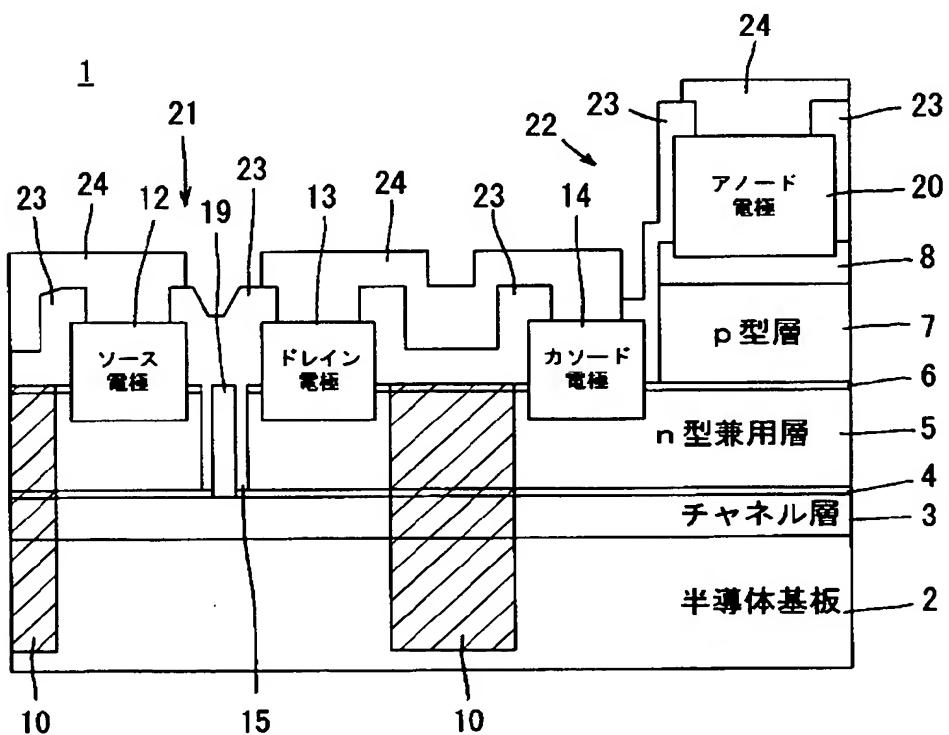
【図 6】



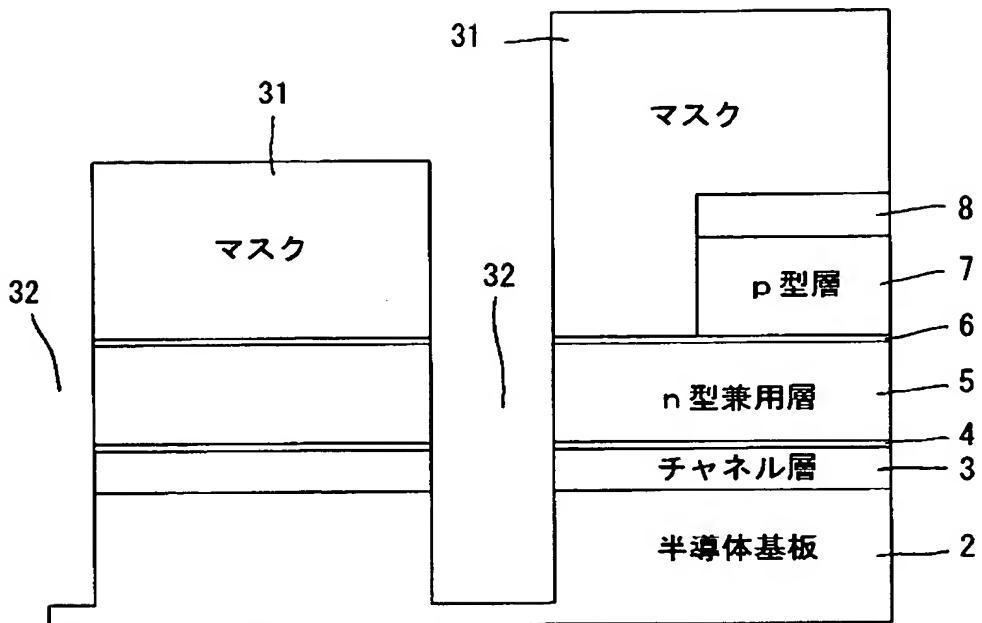
【図 7】



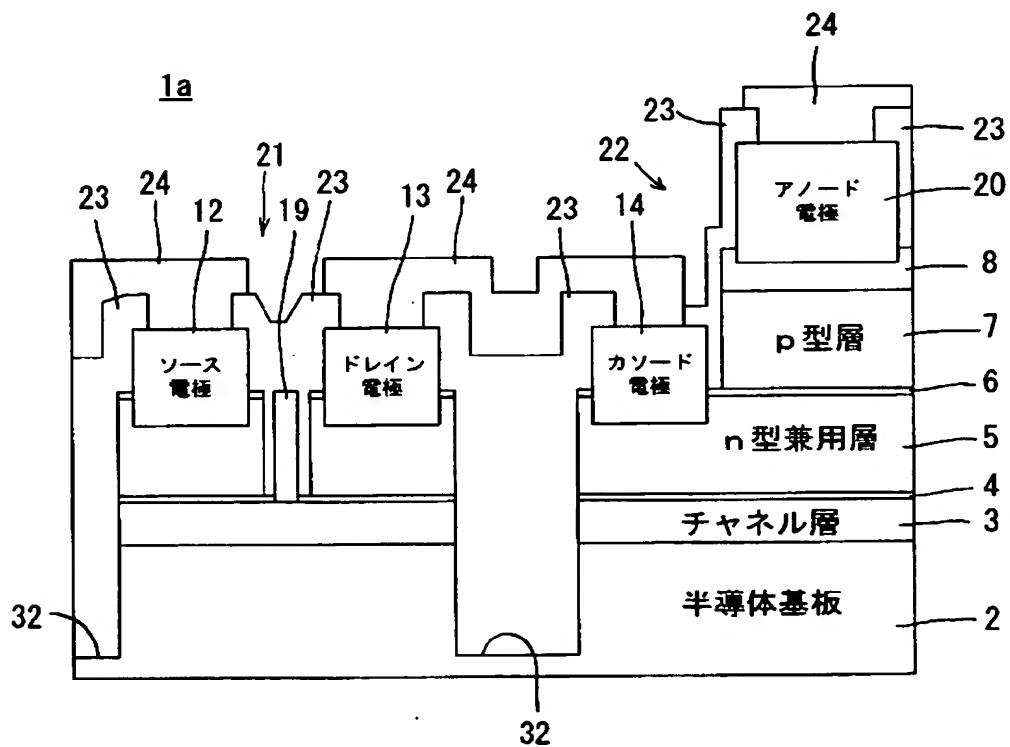
【図 8】



【図 9】



【図 10】



【書類名】 要約書

【要約】

【課題】 同一半導体基板上に、ショットキー接合をゲート電極に用いかつゲートリセスが設けられたFETとpn接合ダイオードとが構成された、半導体装置を能率的に製造できる方法を提供する。

【解決手段】 半導体基板2上に、チャネル層3、エッティングストップ層4、n型兼用層、エッティングストップ層6、p型層7およびエッティングストップ層8を形成し、p型層7とエッティングストップ層8を所定の領域においてエッティング除去し、ソース電極12とドレイン電極13とカソード電極14を同時に形成し、ゲートリセス15とゲート電極19を形成するための開口16とアノード電極形成のための開口17とを有するマスク18を形成し、エッティングストップ層8でp型層7がエッティングされないようにしながら、ゲートリセス15をエッティングにより形成し、次いで、ゲート電極とアノード電極とを同時に形成する。

【選択図】 図6

特願 2002-367764

出願人履歴情報

識別番号 [000006231]

1. 変更年月日 1990年 8月28日
[変更理由] 新規登録
住 所 京都府長岡京市天神二丁目26番10号
氏 名 株式会社村田製作所